

A power device comprises a main IGBT 10 and a detecting IGBT 18 connected parallel to the main IGBT. A MOS 22 protects the main IGBT from a short circuit current based on a voltage drop generated by a resistor 26 connected to an emitter of the detecting IGBT in series. A resistor 28 connected to the resistor 26 in series is short-circuited by MOS 24 in a normal state of the main IGBT, and the MOS 24 is cut off after a gate voltage of the main and the detecting IGBTs is reduced by the MOS 22. On this account, a current oscillation of a main current carrying though the main IGBT is repressed.



【特許請求の範囲】

【請求項1】 制御電圧に応じて通電電流が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて通電電流が制御される従半導体能動素子と、従半導体能動素子の電流を検出し検出電流を電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子の通電電流を電流電圧変換手段の変換電圧の増加に応じて減少させる過電流保護手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子の通電電流の減少に応じて電流電圧変換手段の変換電圧を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項2】 制御電圧に応じて通電電流が制御される主半導体能動素子とを備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて通電電流が制御される従半導体能動素子と、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子の通電電流を電流電圧変換手段の変換電圧の増加に応じて減少させる過電流保護手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子の通電電流の減少に応じて電流電圧変換手段の抵抗値を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項3】 制御電圧に応じて通電電流が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて通電電流が制御される従半導体能動素子と、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子の通電電流を電流電圧変換手段の変換電圧の増加に応じて減少させる過電流保護手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに電流電圧変換手段の抵抗値を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項4】 制御電圧に応じて導通・非導通が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて導通・非導通が制御される従半導体能動素子と、従半導体能動素子の電流を検出し検出電流を電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子に印加される制御電圧を電流電圧変換手段の変換電圧の増加に応じて低下させる電圧制御手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子に印加される制御

電圧の低下に応じて電流電圧変換手段の変換電圧を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項5】 制御電圧に応じて導通・非導通が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて導通・非導通が制御される従半導体能動素子と、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子に印加される制御電圧を電流電圧変換手段の変換電圧の増加に応じて低下させる電圧制御手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子に印加される制御電圧の低下に応じて電流電圧変換手段の抵抗値を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項6】 制御電圧に応じて導通・非導通が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて導通・非導通が制御される従半導体能動素子と、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子に印加される制御電圧を電流電圧変換手段の変換電圧の増加に応じて低下させる電圧制御手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに電流電圧変換手段の抵抗値を高める変換電圧制御手段とを備えている半導体装置の保護回路。

【請求項7】 半導体能動素子のうち少なくとも主半導体能動素子は絶縁ゲート半導体能動素子で構成されていることを特徴とする請求項1乃至6のうちいずれか1項に記載の半導体装置の保護回路。

【請求項8】 主半導体能動素子と、従半導体能動素子と、電流電圧変換手段と、電圧制御手段および変換電圧制御手段は同一半導体基板内に形成されていることを特徴とする請求項1乃至7のうちいずれか1項に記載の半導体装置の保護回路。

【請求項9】 一对の直流入力端子と相数と同数の交流出力端子との間に挿入されて相数と同数の上アームと下アームを構成する複数の主半導体能動素子と、各主半導体能動素子に逆並列接続された複数の整流素子とを備えた電力変換装置において、請求項1乃至8のうちいずれか1項に記載の半導体装置の保護回路を備えていることを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の保護回路に係り、特に、電気機関車、家電品等の各種電気製

品に電力変換器として用いられるインバータに適応される半導体装置を過電流から保護する保護機能を備えた半導体装置の保護回路に関する。

【0002】

【従来の技術】インバータを構成する半導体能動素子として、近年、電流制御型の素子であるバイポーラトランジスタやゲートターンオフサイリスタ（GTOサイリスタ）等に代わり、電圧制御型の素子であるパワー電界効果トランジスタ（以下、MOSFETと称する。）や絶縁ゲートバイポーラトランジスタ（以下、IGBTと称する。）が広く用いられるようになっている。電圧制御型の半導体能動素子は、駆動が容易で高速動作が可能なことから、急速に、電流制御型の半導体能動素子にとって代わりつつある。の中でもIGBTは、バイポーラトランジスタの大電力制御性と、MOSFETの高速動作性とを併せもつ新しいスイッチング素子として開発が盛んに進められている。

【0003】IGBTをインバータに適応した場合に、必須となるのが各種保護機能である。この保護機能としては、過電流保護、過温度保護、過電圧保護等の保護機能が提案され、実用化されている。これら保護機能の内特に重要なのが過電流保護である。すなわち、インバータに接続された負荷が短絡したり、インバータの上下アームのIGBTが同時にオンするいわゆるアーム短絡が発生したりすると、IGBTには過大な電流が流れ、IGBTが瞬時に破壊することがあり、過電流保護回路が必要となる。

【0004】基本的な過電流保護回路としては、例えば、上下アームを構成する主IGBTと並列接続されて主IGBTの過電流を検出する過電流検出用IGBT、過電流検出用IGBTのエミッタに接続されて過電流を検出する検出抵抗、過電流検出用IGBTのゲートとエミッタに接続されてエミッタの電圧に応じてゲート電圧を制限するMOSFET、過電流検出用IGBTのゲートにゲート電圧を印加するためのゲート抵抗を備えたものが知られている。この種の過電流保護回路においては、主IGBTの平常動作時には、ゲート電極に印加されたゲート電圧に応じて各IGBTに電流が流れようになっており、過電流検出用IGBTには主IGBTの1/1000~1/10000程度の検出電流が流れるように設定されている。そして平常動作時には、検出電流によって検出抵抗から発生する検出電圧は小さいため、MOSFETはオフの状態に維持され、各IGBTのゲートにはゲート電圧がそのまま印加される。

【0005】一方、負荷短絡やアーム短絡等の事故が発生し、主IGBTに過大な電流が流れると、過電流検出用IGBTに流れる検出電流も増加し、検出抵抗両端の検出電圧が増大する。この検出電圧がMOSFETのしきい電圧を越えると、MOSFETがオンになってゲート電圧がゲート抵抗とMOSFETとにより分圧され、

各IGBTのゲートに印加される電圧が引下げられる。各IGBTのゲート電圧が低下すると、各IGBTの電流が減少し、過電流に伴う破壊から主IGBTを保護することができる。なお、この種の技術に関連するものとしては、特開平6-132354号公報が挙げられる。

【0006】

【発明が解決しようとする課題】しかし、従来の過電流保護回路では、主IGBTのコレクタ電流がある電流値を越えると保護回路が動作し、主IGBTのコレクタ電流が増加するのを抑制することはできるが、過電流保護回路が動作したときに、主IGBTのコレクタ電流が振動し、コレクタ電流の振動に伴ってノイズが発生し、周辺機器に障害をもたらしたり、振動が激しいときには主IGBTが破壊したりする恐れがある。すなわち、過電流保護回路が動作したときには、各IGBTのゲート電圧の低下に伴って主IGBTを流れる主電流および過電流検出用IGBTを流れる検出電流がともに減少するが、検出電流が減少すると、検出電圧も減少し、過電流保護回路の動作が弱められる。そして過電流保護回路の動作が弱められると、各IGBTのゲート電圧の電位が増加し、再び主電流および検出電流が増加するというようなフィードバックにより、過電流保護回路の動作が安定せずに、コレクタ電流に振動が生じる。

【0007】本発明の目的は、保護動作時に、保護対象となる半導体能動素子の通電電流が振動するのを防止することができる半導体装置の保護回路およびこの保護回路を用いた電力変換装置を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するために、本発明は、制御電圧に応じて通電電流が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて通電電流が制御される従半導体能動素子と、従半導体能動素子の電流を検出し検出電流を電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子の通電電流を電流電圧変換手段の変換電圧の増加に応じて減少させる過電流保護手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子の通電電流の減少に応じて電流電圧変換手段の変換電圧を高める変換電圧制御手段とを備えている半導体装置の保護回路を構成したものである。

【0009】上記半導体装置の保護回路を構成するに際しては、電流電圧変換手段として、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換するものを用いたり、変換電圧制御手段として、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子の通電電流の減少に応じて電流電圧変換手段の抵抗値を高めるものを用いたり、あるいは従半導体能動素子に印加される制御電圧が設定値以下になったとき

に電流電圧変換手段の抵抗値を高めるものを用いたりすることもできる。

【0010】また本発明は、制御電圧に応じて導通・非導通が制御される主半導体能動素子を備えている半導体装置において、主半導体能動素子と並列接続されて主半導体能動素子に印加される制御電圧に応じて導通・非導通が制御される従半導体能動素子と、従半導体能動素子の電流を検出し検出電流を電圧に変換する電流電圧変換手段と、電流電圧変換手段の変換電圧が設定値を超えたときに主従半導体能動素子に印加される制御電圧を電流電圧変換手段の変換電圧の増加に応じて低下させる電圧制御手段と、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子に印加される制御電圧の低下に応じて電流電圧変換手段の変換電圧を高める変換電圧制御手段とを備えている半導体装置の保護回路を構成したものである。

【0011】前記半導体装置の保護回路を構成するに際しては、電流電圧変換手段として、従半導体能動素子に流れる電流を抵抗値に応じた電圧に変換するもの用いたり、変換電圧制御手段として、従半導体能動素子に印加される制御電圧が設定値以下になったときに主従半導体能動素子に印加される制御電圧の低下に応じて電流電圧変換手段の抵抗値を高めるものを用いたり、あるいは、従半導体能動素子に印加される制御電圧が設定値以下になったときに電流電圧変換手段の抵抗値を高めるものを用いたりすることもできる。

【0012】前記各半導体装置の保護回路を構成するに際しては、以下の要素を付加することができる。

【0013】(1) 半導体能動素子のうち少なくとも主半導体能動素子は絶縁ゲート半導体能動素子で構成されている。

【0014】(2) 主半導体能動素子と、従半導体能動素子と、電流電圧変換手段と、電圧制御手段および変換電圧制御手段は同一半導体基板内に形成されている。

【0015】前記いずれかの半導体装置の保護回路は、一対の直流入力端子と相数と同数の交流出力端子との間に挿入されて相数と同数の上アームと下アームを構成する複数の主半導体能動素子と、各主半導体能動素子に逆並列接続された複数の整流素子とを備えた電力変換装置に適応することができる。

【0016】前記した手段によれば、制御電圧が主半導体能動素子と従半導体能動素子に印加されると、制御電圧の大きさに応じて主半導体能動素子と従半導体能動素子に流れる電流が制御される。そして主半導体能動素子に接続された回路に異常等が生じ、主半導体能動素子を流れる電流が増加すると、従半導体能動素子を流れる電流も増加し、電流電圧変換手段の変換による変換電圧が増大する。そして変換電圧が設定値(しきい電圧)を越えると、過電流保護手段あるいは電圧制御手段が動作し、主従半導体能動素子の通電電流あるいは主従半導体

能動素子に印加される制御電圧が低下し、主半導体能動素子および従半導体能動素子を流れる電流が減少とともに変換電圧が低下する。このとき、電流電圧変換手段の変換電圧が設定値を越えたことを条件に、変換電圧制御手段が機能し、電流電圧変換手段の変換電圧あるいは抵抗値が高められ、従半導体能動素子を流れる電流の減少に伴って電流電圧変換手段の変換電圧が低下するのが抑制され、保護回路の動作状態が維持される。このため、保護回路動作時に、主電流の変化に伴って主電流に振動が生じるのを防止することができ、半導体装置の信頼性を高めることができる。

【0017】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。

【0018】図1は、本発明の一実施形態を示す半導体装置の保護回路を示す回路構成図である。図1において、半導体装置として、例えばインバータのアームを構成する主IGBT(絶縁ゲートバイポーラトランジスタ)10が設けられており、主IGBT10のエミッタがエミッタ電極12に接続され、コレクタがコレクタ電極14に接続されている。そして主IGBT10を過電流から保護するために、過電流保護回路16が設けられている。過電流保護回路16は検出IGBT18、ゲート抵抗20、N型のMOSFETで構成されたトランジスタ22、24、検出抵抗26、補助検出抵抗28を備えて構成されている。検出IGBT18は従半導体能動素子として、主半導体能動素子である主IGBT10と並列に接続されており、コレクタがコレクタ電極14に接続され、ゲートが主IGBT10のゲートに接続されているとともにゲート抵抗20を介してゲート電極30に接続され、エミッタが検出抵抗26とトランジスタ22のゲートに接続されている。トランジスタ22はドレインが検出IGBT18のゲートに接続され、ソースがエミッタ電極12に接続されている。このトランジスタ22は、ゲート電圧がしきい電圧(設定値)を越えたときにのみオンとなって、A点におけるゲート電圧(制御電圧)を引き下げて、主IGBT10の通電電流(主電流)と検出IGBT18の通電電流(検出電流)を減少させる過電流保護手段およびゲート電圧に応じてA点のゲート電圧のレベルを低下させる電圧制御手段として構成されている。検出抵抗26は補助検出抵抗28とともに検出IGBT18のエミッタとエミッタ電極12に直列に接続されており、検出IGBT18に流れる電流を検出し、この検出電圧を電圧に変換する電流電圧変換手段を構成するとともに、検出電流を抵抗値に応じた電圧に変換する電流電圧変換手段を構成するようになっている。トランジスタ24はドレインが検出抵抗26と補助検出抵抗28との接続点に接続され、ソースがエミッタ電極12に接続され、ゲートが検出IGBT18のゲートに接続されている。このトランジスタ24は検出IG

B T 1 8 がオンになるゲート電圧（しきい電圧を超えた電圧）がA点に印加されているときにはオンとなって補助検出抵抗2 8 の両端を短絡し、A点のゲート電圧がしきい電圧以下になったときにはオフとなり、検出 I G B T 1 8 のエミッタ回路に補助検出抵抗2 8 を挿入して検出 I G B T 1 8 のエミッタ電圧（電流電圧変換手段の変換電圧）を高める変換電圧制御手段を構成するとともに、電流電圧変換手段の抵抗値を高める変換電圧制御手段を構成するようになっている。

【0019】上記構成において、ゲート電極3 0 に主 I G B T 1 0 を駆動するためのゲート電圧が印加されると、このゲート電圧はゲート抵抗2 0 を介して主 I G B T 1 0 と検出 I G B T 1 8 のゲートに印加され、主 I G B T 1 0 に主電流が流れ、検出 I G B T 1 8 に検出電流が流れる。この検出電流は主電流の1/1000~1/10000程度の値に設定されている。そして主 I G B T 1 0 に接続されている回路が正常状態にあるときには、検出抵抗2 6 の検出による検出電圧はしきい電圧よりも小さく、トランジスタ2 2 はオフの状態に維持されている。一方、トランジスタ2 4 はゲートにしきい電圧を超えた電圧が印加されているため、オン状態となっており、補助検出抵抗2 8 はトランジスタ2 4 によって短絡された状態にある。

【0020】次に、主 I G B T 1 0 が接続されている回路において負荷短絡やアーム短絡等の事故が生じ、主 I G B T 1 0 に過大な主電流が流れると、検出 I G B T 1 8 を流れる電流も増大し、検出抵抗2 6 の検出による検出電圧も増大する。そして検出電圧がトランジスタ2 2 のしきい電圧を超えるとトランジスタ2 2 がオンとなり、A点のゲート電圧が低下する。このゲート電圧はトランジスタ2 2 のゲートに印加される検出電圧の大きさに応じて低下する。A点のゲート電圧が低下すると、主 I G B T 1 0 の主電流および検出 I G B T 1 8 の電流もゲート電圧の低下に応じて減少する。そしてA点のゲート電圧が減少し、このゲート電圧がトランジスタ2 4 のしきい電圧以下に低下すると、トランジスタ2 4 がオフとなる。トランジスタ2 4 がオフになると、検出 I G B T 1 8 のエミッタ抵抗（検出抵抗）は検出抵抗2 6 の抵抗値に補助検出抵抗2 8 の抵抗値が加算された値となり、検出抵抗の抵抗値が高められる。このためトランジスタ2 2 のゲートに印加されるゲート電圧V_sが高められ、A点のゲート電圧が急激に低下するのが抑制される。この結果、過電流保護回路1 6 の動作時に保護回路の動作状態を持続することができ、主電流の減少および検出電流の減少、過電流保護回路1 6 の動作の鈍化、主電流の増加といったフィードバックによる主電流の振動を防止することができるとともに、主電流の振動に伴つてノイズが発生するのを防止することができる。

【0021】次に、本発明の第2の実施形態を図2にしたがって説明する。

【0022】本実施形態は、図1に示すトランジスタ2 4 の代わりに、バイポーラトランジスタ3 2 を設けたものであり、他の構成は図1と同様である。

【0023】MOSFETで構成されたトランジスタ2 4 の代わりに、バイポーラトランジスタ3 2 を用いると、バイポーラトランジスタ3 2 のオン時におけるインピーダンスはMOSFETのオン時におけるインピーダンスよりも小さいため、補助検出抵抗2 8 の短絡効果を高めることができる。すなわち、定常時において、バイポーラトランジスタ3 2 によって補助検出抵抗2 8 の両端を短絡すると、補助検出抵抗2 8 の両端がMOSFETよりも低インピーダンスのもので短絡されたことになり、定常時における検出抵抗の抵抗値を検出抵抗2 6 の抵抗値によって設定することができる。またバイポーラトランジスタ3 2 はトランジスタ2 4 よりも素子サイズが小さいため、回路の小型化が図れる。

【0024】次に、本発明の第3の実施形態を図3にしたがって説明する。

【0025】本実施形態は、図1に示す補助検出抵抗2 8 を削除したものであり、他の構成は図1と同様である。

【0026】本実施形態においては、トランジスタ2 4 が検出抵抗2 6 と直列に接続されており、定常動作時に、検出抵抗として検出抵抗2 6 の抵抗値が主たる抵抗値を示し、保護回路動作時に、トランジスタ2 4 がオフとなったときには、検出抵抗2 6 の抵抗値にトランジスタ2 4 の遮断時における高インピーダンスの抵抗値が加算された値が検出抵抗の抵抗値を示すことになる。すなわち、過電流保護回路1 6 の動作時には、トランジスタ2 4 がオフとなって高インピーダンスとなるため、検出抵抗2 6 に、抵抗値の非常に高い補助検出抵抗2 8 を附加したものと同様な動作となる。このため、補助検出抵抗として非常に高い抵抗値を示すものを必要とするときには、本実施形態による回路を用いることが望ましく、図1のものを用いるよりも、補助検出抵抗を省略できるので、回路構成を簡略化することができる。

【0027】前記各実施形態における過電流保護回路1 6 を半導体装置の基板上に実装するに際しては、検出 I G B T 1 8 を除く回路を一つの半導体チップに集積化して保護回路チップとし、検出 I G B T 1 8 をセンスセル付 I G B T とし、センスセル付 I G B T と保護回路チップとの組合せで実現することが望ましい。この構成を採用すれば、保護回路をディスクリート素子の組合せで構成するよりも部品点数を低減することができるとともに、低コスト化および小型化を図ることができる。さらに、保護回路チップのうち必要に応じて特定の素子を単体素子で形成することもできる。例えば、ゲート抵抗2 0 だけを単体素子で形成し、他の回路素子を一つの半導体チップに集積化する。このような構成を採用することにより設計の自由度を増すことができる。

【0028】次に、本発明による過電流保護回路16を集積化したIGBTチップのレイアウトを図4に示す。図5は図4のX-Y線に沿う断面図である。図4において、一つの半導体チップにはゲートパッド701、エミッタパッド702、過電流保護回路形成領域703、ゲート配線704、電流導通領域705、耐圧保持領域706が形成されている。ゲートパッド701はチップ外部のゲート駆動回路からのワイヤを接続する領域として形成されており、ゲートパッド701はゲート電極30に接続されている。エミッタパッド702はチップ外部の主回路からの配線を接続する領域として形成されており、このエミッタパッド702は主IGBT10、検出IGBT18のエミッタと接続される。過電流保護回路形成領域703には過電流保護回路16を構成する各種素子が形成されるようになっている。ゲート配線704はゲートパッド701に印加されたゲート電圧を導通領域に配分するために、過電流保護回路形成領域703の周囲と電流導通領域705の周囲に形成されている。電流導通領域705は主回路の電流を通電するための領域として形成されており、この領域には複数の主IGBT10が形成されている。耐圧保持領域706は素子の耐圧を保持するのに必要な領域として半導体チップの周囲に渡って形成されている。

【0029】また各IGBT10、18のコレクタに接続されるコレクタ電極14は図5に示すように、コレクタ電極827として半導体基板上に形成されている。コレクタ電極827上にはコレクタ層801、バッファ層802、ドリフト層803が形成されており、ドリフト803上には主IGBT10、検出IGBT18、ゲート抵抗20、検出抵抗26等を構成する電極や層が形成されている。各素子を構成するもの内、805はp+層、806はエミッタ層、807はゲート絶縁膜、808はゲート電極、809は酸化膜、810は遮断層、811はMOSFETベース層、812はMOSFETp+層、813はソース層、814はドレイン層、815はMOSFETゲート電極、816はフィールド酸化膜、817はウエル層、818は多結晶シリコン抵抗層、820はエミッタ電極、821は検出IGBT18のエミッタ電極、822はソース電極、823はドレイン電極、824、825は多結晶シリコン抵抗の電極、826はゲートパッド701に接続されるゲートパッドである。そして各素子は金属や多結晶シリコンによる配線で形成されて、過電流保護回路16を構成している。

【0030】本実施形態によれば、過電流保護回路16の各素子をIGBTチップに集積化することにより、過電流保護回路16を小型化することができる。また保護対象となる主IGBT10と過電流保護回路16との距離を近接させて配置することができるために、配線に伴う信号の伝送遅れを少なくすることができます、迅速で且つ正確な過電流保護動作を行なうことができる。

【0031】次に、本発明による過電流保護回路16を適用した電力変換装置としてのインバータの構成を図6にしたがって説明する。

【0032】図6において、インバータは、一対の直流入力端子401、402と、三相の出力端子として交流出力端子403、404、405を備えており、直流入力端子401、402と交流出力端子403～405との間に上アーム410、412、414、下アーム411、413、415、還流ダイオード416～421が設けられている。上アーム410～414と下アーム411～415はそれぞれ直列に接続され、直列接続点が交流出力端子403、404、405にそれぞれ接続されている。そして上アーム410と下アーム411とでインバータ単位を構成し、上アーム412と下アーム413でインバータ単位を構成し、上アーム414と下アーム415でインバータ単位を構成し、上アーム410～414と下アーム411～415には還流ダイオード416～421が逆並列接続されている。上アーム410～414、下アーム411～415はそれぞれ主IGBT10と過電流保護回路16を備えて構成されており、各アームの主IGBT10が指定の順序で導通することにより、直流入力端子401、402に印加された直流電力を三相の交流電力に変換して交流出力端子403～405に出力することができる。

【0033】本実施形態におけるインバータは、各アームの主IGBT10に過電流保護回路16が設けられているため、インバータの負荷が短絡したり、アームが短絡したりしても、アームの回路素子を過電流から保護することができるとともに、保護動作時にノイズが発生するのを防止することができる。このため、保護回路動作時にインバータから発生するノイズが原因となって周辺機器が誤動作するのを防止できるとともに、ノイズ低減のために周辺機器にフィルタ回路や遮蔽板等を取り付ける必要がなく、コスト低減に寄与することができる。

【0034】前記各実施形態においては、主半導体能動素子および従半導体能動素子としてIGBTを用いたものについて述べてが、IGBTに限定されるものではなく、他の半導体能動素子を用いることができる。例えば、IGBTの代わりに、MOSFETやバイポーラトランジスタを用いることもできる。

【0035】また、過電流保護回路16としては、図1ないし図3に示した回路構成のほかに、これらの回路に抵抗やダイオード、コンデンサ等の回路素子を追加することもできる。例えば、トランジスタ22、24と直列に抵抗を挿入し、各トランジスタ22、24のゲート電圧を調整したり、主IGBT10のゲートと検出IGBT18のゲートとの間に抵抗を挿入し、両者の動作に時間差を持たせることもできる。さらに検出抵抗26の代わりに、ダイオードを用いることができる。この場合ゲート電圧の減少に伴って、ダイオードで発生する電圧が

増加する構成、例えば、検出ダイオードの直列数を増加させる構成が望ましい。さらに、IGBT 18のゲート電圧の減少に伴って、検出電流が増加する構成を採用することも望ましい。

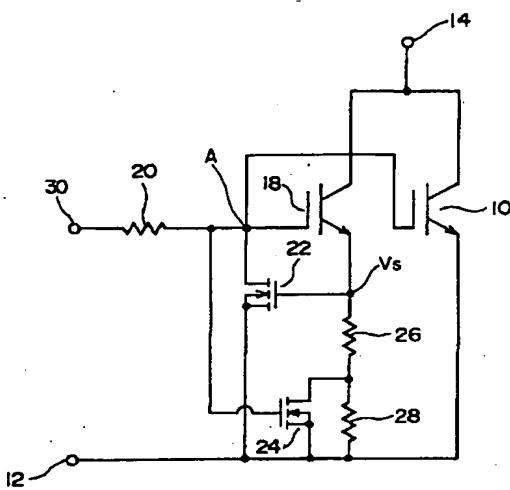
【0036】

【発明の効果】以上説明したように、本発明によれば、保護対象となる主半導体能動素子に過電流が流れたときに、従半導体能動素子に印加される制御電圧を低下させるとともに、制御電圧を徐々に低下させ、主半導体能動素子の電流を過電流よりも小さい電流となるように収束させるようにしたため、保護回路動作時に、主半導体能動素子の電流が振動するのを防止することができ、振動に伴うノイズによって回路素子が損傷するのを防止することができ、信頼性の向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路構成図である。

【図1】



- 10 : 主IGBT
- 12 : エミッタ電極
- 14 : コレクタ電極
- 18 : 検出IGBT
- 22, 24 : N型MOSFET
- 26 : 検出抵抗
- 28 : 補助検出抵抗
- 30 : ゲート電極

【図2】本発明の第2の実施形態を示す回路構成図である。

【図3】本発明の第3の実施形態を示す回路構成図である。

【図4】本発明による過電流保護回路を集積化したときのIGBTチップのレイアウト構成図である。

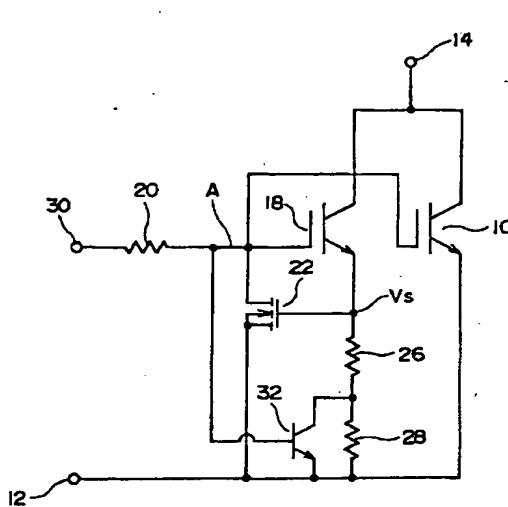
【図5】図4のX-Y線に沿う断面図である。

【図6】本発明による過電流保護回路を適応したインバータのブロック構成図である。

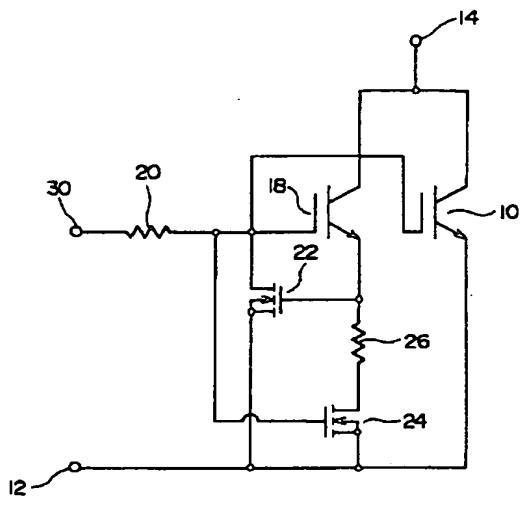
【符号の説明】

- 10 : 主IGBT
- 16 : 過電流保護回路
- 18 : 検出IGBT
- 20 : ゲート抵抗
- 22, 24 : トランジスタ(MOSFET)
- 26 : 検出抵抗
- 28 : 補助検出抵抗

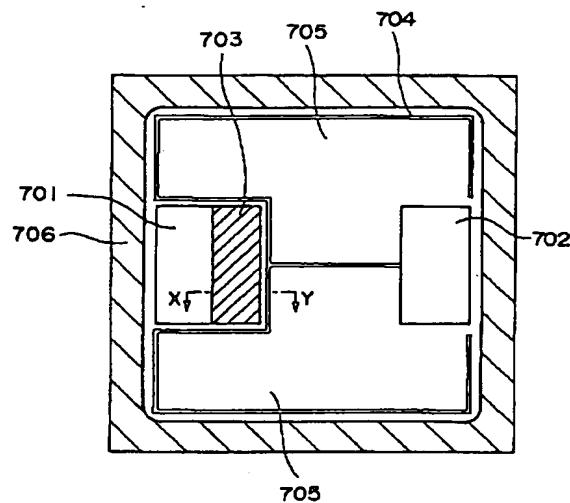
【図2】



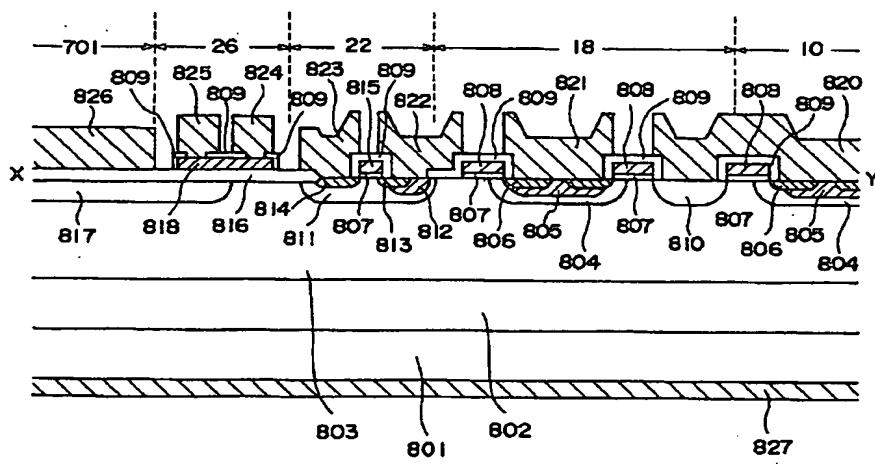
【図3】



【図4】



【図5】



【図 6】

